

PCT/JP 2004/011950

日本国特許庁
JAPAN PATENT OFFICE

13.08.2004

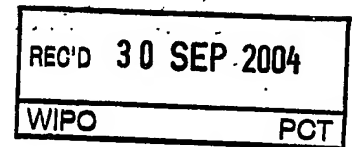
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 8月21日
Date of Application:

出願番号 特願2003-297625
Application Number:
[ST. 10/C]: [JP 2003-297625]

出願人 ソニー株式会社
Applicant(s):

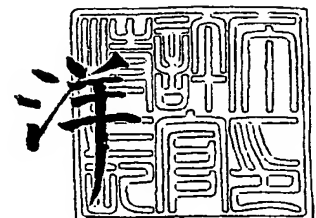


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年 9月17日

特許庁長官
Commissioner,
Japan Patent Office

小川



Best Available Copy

出証番号 出証特 2004-3084215

【書類名】 特許願
【整理番号】 0390495201
【提出日】 平成15年 8月21日
【あて先】 特許庁長官殿
【国際特許分類】 H02M 7/00
【発明者】
 【住所又は居所】 東京都品川区東五反田2丁目20番4号 ソニー・ヒューマンキ
 ャピタル株式会社内
 【氏名】 安村 昌之
【特許出願人】
 【識別番号】 000002185
 【氏名又は名称】 ソニー株式会社
【代理人】
 【識別番号】 100086841
 【弁理士】
 【氏名又は名称】 脇 篤夫
【代理人】
 【識別番号】 100114122
 【弁理士】
 【氏名又は名称】 鈴木 伸夫
【手数料の表示】
 【予納台帳番号】 014650
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9710074
 【包括委任状番号】 0007553

【書類名】 特許請求の範囲**【請求項 1】**

入力された直流入力電圧を断続するようにしてスイッチングを行うスイッチング素子を備えて形成されるスイッチング手段と、

上記スイッチング素子をスイッチング駆動する駆動手段と、

上記スイッチング手段のスイッチング出力を一次側から二次側に伝送するものであり、少なくとも一次巻線と二次巻線が巻装される絶縁コンバータトランスと、

少なくとも、上記絶縁コンバータトランスの一次巻線の漏洩インダクタンス成分と、自己のキャパシタンスとによって上記スイッチング手段の動作を共振形とするための一次側共振回路を形成するようにして、一次側の所定の部位に接続される一次側共振コンデンサと、

上記スイッチング手段を形成するスイッチング素子のうち、少なくとも一方のスイッチング素子に対して並列に接続される部分共振コンデンサのキャパシタンスと、上記絶縁コンバータトランスの一次巻線の漏洩インダクタンス成分によって形成され、上記スイッチング手段を形成するスイッチング素子のターンオフ期間に部分電圧共振動作を行う一次側部分電圧共振回路と、

上記絶縁コンバータトランスの二次巻線に誘起される交番電圧を全波整流して二次側平滑コンデンサに整流電流を充電することで、上記二次側平滑コンデンサの両端電圧として二次側直流出力電圧を得るようにされた同期整流回路と、を備えるものとされ、

上記絶縁コンバータトランスの磁束密度は、上記二次側直流電圧に接続される負荷条件の変動にかかわらず、上記全波整流動作により同期整流回路に流れる二次側整流電流が連続モードとなるようにして、所定以下となるように設定されると共に、

上記同期整流回路は、

上記絶縁コンバータトランスの二次巻線をセンタータップしたタップ出力を平滑コンデンサの正極端子に接続するとともに、

上記二次巻線のセンタータップしていない側の一方の端部と二次側アースとの間に直列接続される第 1 の電界効果トランジスタと、

上記二次巻線のセンタータップしていない側の他方の端部と二次側アースとの間に直列接続される第 2 の電界効果トランジスタと、

上記第 1 の電界効果トランジスタが整流電流を流すべき半波の期間に対応する二次巻線電圧を抵抗素子により検出して、上記第 1 の電界効果トランジスタをオンとするためのゲート電圧を出力するようにされた第 1 の駆動回路と、

上記第 2 の電界効果トランジスタが整流電流を流すべき半波の期間に対応する二次巻線電圧を抵抗素子により検出して、上記第 2 の電界効果トランジスタをオンとするためのゲート電圧を出力するようにされた第 2 の駆動回路と、

さらに、上記二次巻線のセンタータップしていない側の一方の端部と上記第 1 の電界効果トランジスタとの間、及び上記二次巻線のセンタータップしていない側の他方の端部と第 2 の電界効果トランジスタとの間に、それぞれ直列に挿入された所要のインダクタンスによるインダクタ素子を備える、

ことを特徴とするスイッチング電源回路。

【請求項 2】

上記絶縁コンバータトランスの磁束密度を一定以下とするために、絶縁コンバータトランスに形成するギャップ長を所定以上とすることで、一次側と二次側の結合係数を所定以下に設定している、

ことを特徴とする請求項 1 に記載のスイッチング電源回路。

【請求項 3】

上記絶縁コンバータトランスの磁束密度を一定以下とするために、上記二次巻線における 1 ターンあたりの誘起電圧レベルが所要以下となるように、上記一次巻線と、上記二次巻線のターン数を設定している、

ことを特徴とする請求項 1 に記載のスイッチング電源回路。

【請求項 4】

上記二次側直流出力電圧のレベルに応じて、上記スイッチング手段のスイッチング周波数を可変制御することで、上記二次側直流出力電圧についての定電圧制御を行うようにされた定電圧制御手段をさらに備える、

ことを特徴とする請求項 1 に記載のスイッチング電源回路。

【請求項 5】

上記インダクタ素子は、上記第 1 及び第 2 の電界効果トランジスタのドレイン電極のリード線を挿通する筒形状の磁性体により形成される、

ことを特徴とする請求項 1 に記載のスイッチング電源回路。

【請求項 6】

上記インダクタ素子は、プリント配線基板における配線パターンを螺旋状とすることにより形成される、

ことを特徴とする請求項 1 に記載のスイッチング電源回路。

【書類名】 明細書

【発明の名称】 スイッチング電源回路

【技術分野】

【0001】

本発明は、各種電子機器の電源として備えられるスイッチング電源回路に関する。

【背景技術】

【0002】

スイッチング電源回路として、例えばフライバックコンバータやフォワードコンバータなどの形式のスイッチングコンバータを採用したものが広く知られている。これらのスイッチングコンバータはスイッチング動作波形が矩形波状であることから、スイッチングノイズの抑制には限界がある。また、その動作特性上、電力変換効率の向上にも限界があることがわかっている。

そこで、共振形コンバータによるスイッチング電源回路が各種提案され、実用化されている。共振形コンバータは容易に高電力変換効率が得られると共に、スイッチング動作波形が正弦波状となることで低ノイズが実現される。また、比較的少数の部品点数により構成することができるというメリットも有している。

【0003】

図8の回路図は、従来としての、共振形コンバータを備えるスイッチング電源回路の一例を示している。この図に示す電源回路は、他励式による電流共振形コンバータに対して部分電圧共振回路が組み合わされている。

【0004】

この図に示す電源回路においては、先ず、商用交流電源ACに対して、ブリッジ整流回路Di及び1本の平滑コンデンサCiから成る全波整流平滑回路が備えられる。そして、これらブリッジ整流回路Di及び平滑コンデンサCiの全波整流動作によって、平滑コンデンサCiの両端には整流平滑電圧Ei（直流入力電圧）が得られることになる。この整流平滑電圧Eiは、交流入力電圧VACの等倍に対応したレベルとなる。

【0005】

上記直流入力電圧を入力してスイッチングする電流共振形コンバータとしては、図示するようにして、MOS-FETによる2本のスイッチング素子Q1、Q2をハーフブリッジ結合により接続している。スイッチング素子Q1、Q2の各ドレインソース間に対しては、図示する方向により、それぞれボディダイオードによるダンパーダイオードDD1、DD2が並列に接続される。

【0006】

また、スイッチング素子Q2のドレインソース間に対しては、部分共振コンデンサCpが並列に接続される。この部分共振コンデンサCpのキャパシタンスと一次巻線N1のリーケージインダクタンスL1によっては並列共振回路（部分電圧共振回路）を形成する。そして、スイッチング素子Q1、Q2のターンオフ時にのみ電圧共振する、部分電圧共振動作が得られるようになっている。

【0007】

この電源回路においては、スイッチング素子Q1、Q2をスイッチング駆動するために、例えば汎用のICによる発振・ドライブ回路2が設けられる。この発振・ドライブ回路2は、発振回路、駆動回路回路を有している。そして、発振回路及び駆動回路によって、所要の周波数によるドライブ信号（ゲート電圧）をスイッチング素子Q1、Q2の各ゲートに対して印加する。これにより、スイッチング素子Q1、Q2は、所要のスイッチング周波数により交互にオン／オフするようにしてスイッチング動作を行う。

【0008】

絶縁コンバータトランスPITはスイッチング素子Q1、Q2のスイッチング出力を二次側に伝送する。この絶縁トランスPITの一次巻線N1の一端は、一次側並列共振コンデンサC1の直列接続を介して、スイッチング素子Q1のソースとスイッチング素子Q2のドレインとの接続点（スイッチング出力点）に接続されることで、スイッチング出力が伝

達されるようになっている。

また、一次巻線N1の他端は、一次側アースに接続される。

ここで、上記直列共振コンデンサC1のキャパシタンスと、一次巻線N1を含む絶縁コンバータトランスPITのリーケージインダクタンスL1によっては、一次側スイッチングコンバータの動作を電流共振形とするための一次側直列共振回路を形成する。

【0009】

上記説明によると、この図に示す一次側スイッチングコンバータとしては、一次側直列共振回路(L1-C1)による電流共振形としての動作と、前述した部分電圧共振回路(Cp//L1)とによる部分電圧共振動作とが得られることになる。

つまり、この図に示す電源回路は、一次側スイッチングコンバータを共振形とするための共振回路に対して、他の共振回路とが組み合わされた形式を採っていることになる。本明細書では、このようなスイッチングコンバータについて、複合共振形コンバータということにする。

【0010】

ここでの図示による説明は省略するが、絶縁コンバータトランスPITの構造としては、例えばフェライト材によるE型コアを組み合わせたEE型コアを備える。そして、一次側と二次側とで巻装部位を分割したうえで、一次巻線N1と、次に説明する二次巻線(N2A, N2B)を、EE型コアの中央磁脚に対して、巻装している。

【0011】

絶縁コンバータトランスPITの二次巻線としては、センタータップが施されたことで2つに分割された二次巻線N2A, N2Bが巻装されている。これらの二次巻線N2A, N2Bには、一次巻線N1に伝達されたスイッチング出力に応じた交番電圧が励起される。

【0012】

この場合、上記二次巻線N2A, N2Bのセンタータップは二次側アースに対して接続される。そして、この二次巻線N2A, N2Bに対して、図示するようにして整流ダイオードD01, D02、及び平滑コンデンサC0から成る全波整流回路を接続する。これにより、平滑コンデンサC0の両端電圧として二次側直流出力電圧E0が得られる。この二次側直流出力電圧E0は、図示しない負荷側に供給されるとともに、次に説明する制御回路1のための検出電圧としても分岐して入力される。

【0013】

制御回路1は、二次側直流出力電圧E0のレベル変化に応じた検出出力を発振・ドライブ回路2に供給する。発振・ドライブ回路2では、入力された制御回路1の検出出力に応じてスイッチング周波数が可変されるようにして、スイッチング素子Q1, Q2を駆動する。このようにしてスイッチング素子Q1, Q2のスイッチング周波数が可変されることで、二次側直流出力電圧のレベルが安定化されることになる。

【0014】

この図に示す回路構成による電源回路として、低電圧大電流としての負荷条件に対応させた場合の動作波形を、図9に示す。図9に示す動作波形は、交流入力電圧VAC=100V、負荷電力Po=100Wの条件で測定を行って得られたものである。また、ここでの低電圧大電流の状態としては、二次側直流電圧Eo=5Vで、一次側スイッチングコンバータのスイッチング電流である一次側直列共振電流Io=25Aとなる状態である。

【0015】

また、図9に示す動作波形による実験結果を得るのにあたっては、次のような条件と、電源回路における部品素子等の選定を行っている。

まず、二次側巻線の1T(ターン)あたりの誘起電圧レベルが、5V/Tとなるようにして、二次巻線N2A, N2B及び一次巻線N1のターン数を設定することとして、具体的には、二次巻線N2A=N2B=1T、一次巻線N1=30Tとしている。

そして、絶縁コンバータトランスPITのEE型コアの中央磁脚に対しては1.0mm程度のギャップを形成するようにしている。これによって、一次巻線N1と二次巻線N2A, N2Bとで、0.85程度の結合係数を得るようにしている。

また、一次側直列共振コンデンサ $C_1 = 0.068 \mu\text{F}$ 、部分電圧共振コンデンサ $C_p = 330 \text{ pF}$ を選定し、整流ダイオード D_{o1} 、 D_{o2} には、 $50 \text{ A} / 40 \text{ V}$ のショットキーダイオードを選定している。

【0016】

図9に示す波形図において、スイッチング素子 Q_2 の両端電圧 V_1 は、スイッチング素子 Q_2 のオン/オフ状態に対応している。つまり、スイッチング素子 Q_2 がオンとなる期間 T_2 では0レベルで、オフとなる期間 T_1 では所定レベルでクランプされた矩形波となる。そして、スイッチング素子 Q_2 // ダンパダイオード DD_2 に流れるスイッチング電流 I_{DS2} としては、期間 T_2 に示されるように、ターンオン時においては、ダンパダイオード DD_2 を流れることで負極性となり、これが反転して正極性によりスイッチング素子 Q_2 のドレイン→ソースを流れ、期間 T_1 でオフとなって0レベルとなる波形が得られる。

また、スイッチング素子 Q_1 は、上記スイッチング素子 Q_2 に対して交互にオン/オフするようにしてスイッチングを行う。このため、スイッチング素子 Q_1 // ダンパダイオード DD_1 に流れるスイッチング電流 I_{DS1} は、スイッチング電流 I_{DS2} に対して 180° 位相がシフトした波形となっている。

【0017】

そして、スイッチング素子 Q_1 、 Q_2 のスイッチング出力点と一次側アース間に接続される一次側直列共振回路 ($C_1 - L_1$) に流れる一次側直列共振電流 I_o は、スイッチング電流 I_{DS1} とスイッチング電流 I_{DS2} との合成波形に対応する、一次側直列共振回路 ($C_1 - L_1$) の共振電流としての正弦波成分と、一次巻線 N_1 の励磁インダクタンスにより発生する鋸歯状波成分とが合成された波形となる。

【0018】

そして、このときの測定条件である、負荷電力 $P_o = 100 \text{ W}$ は、図8に示す電源回路が対応する負荷条件としては、最大に近い重負荷の条件となるのであるが、このようにして対応負荷電力範囲において重負荷の傾向となる条件では、二次側の整流電流は不連続モードとなる。

つまり、二次巻線 N_{2A} に発生する二次巻線電圧 V_2 は、図9に示すようにして、一次側直列共振電流 I_o が正弦波状で流れる期間のみ、所定の絶対値レベルでクランプされる波形が生じ、その間の一次側直列共振電流 I_o として励磁インダクタンスによる鋸歯状波成分が流れる期間は0レベルとなる。二次巻線 N_{2B} には、二次巻線電圧 V_2 を反転させた波形が発生する。

このために、整流ダイオード D_{o1} を流れる整流電流 I_1 と、整流ダイオード D_{o2} を流れる整流電流 I_2 は、それぞれ、一次側直列共振電流 I_o が正弦波状で流れる期間 D_{ON1} 、 D_{ON2} においてのみ流れ、これ以外の期間においては共に流れない。つまり、二次側の整流電流は不連続で平滑コンデンサに流入している。

【0019】

ショットキーダイオードである整流ダイオード D_{o1} 、 D_{o2} の順方向電圧降下は 0.6 V であり、上記したような二次側の動作では、図示もしているように、整流電流 I_1 、 I_2 は 35 A_p という相応に高いレベルとなるので、これらの整流ダイオード素子による導通損が顕著となって電力損失が大きくなる。実際の測定結果として、直流入力電圧 (整流平滑電圧 E_i) = 100 V のときのDC→DC電力変換効率は 82% 程度にとどまる。

【0020】

そこで、二次側における整流電流の導通損を低減する技術として、低オン抵抗のMOS-FETにより整流を行うようにした、同期整流回路が知られている。このような同期整流回路として、巻線電圧検出方式による構成を例を図10に示す。

なお、図10においては、絶縁コンバータトランスPITの二次側の構成のみを示している。一次側の構成は、図8と同様であるものとする。また、定電圧制御方式としても、二次側直流出力電圧 E_o のレベルに応じて、一次側スイッチングコンバータのスイッチング周波数を可変制御するスイッチング周波数制御方式を採用する。

また、この図10に示す二次側の構成を採用する電源回路としても、図8の場合と同様の低

電圧大電流 ($V_{AC}=100\text{ V}$ 、負荷電力 $P_o=100\text{ W}$ 、 $E_o=5\text{ V}$ 、 $I_o=25\text{ A}$) の条件に対応するものとされる。

【0021】

この場合にも、二次巻線としては、同じ巻数の二次巻線 N_{2A} 、 N_{2B} の各一端はセンタータップにより接続されるが、このセンタータップ出力は、平滑コンデンサ C_o の正極端子に接続される。二次巻線 N_{2A} の他端は、 N チャネルの $MOS-FET Q3$ のドレイン→ソースを介して、二次側アース (平滑コンデンサ C_o の負極端子側) に接続される。同様に、二次巻線 N_{2B} の他端も、 N チャネルの $MOS-FET Q4$ のドレイン→ソースを介して、二次側アース (平滑コンデンサ C_o の負極端子側) に接続される。つまり、この場合には、二次巻線 N_{2A} 、 N_{2B} の各整流電流経路において、 $MOS-FET Q3$ 、 $Q4$ を負極側に直列に挿入した構造となっている。なお、 $MOS-FET Q3$ 、 $Q4$ のドレイン→ソースに対しては、それぞれ、ボディダイオード $DD3$ 、 $DD4$ が接続される。

【0022】

そして、 $MOS-FET Q3$ を駆動する駆動回路は、二次巻線 N_{2B} と $MOS-FET Q4$ のドレインとの接続点と $MOS-FET Q3$ のゲートの間に、ゲート抵抗 R_{g1} を接続すると共に、 $MOS-FET Q3$ のゲートと二次側アースとの間に抵抗 R_{11} を接続して形成される。

同様に、 $MOS-FET Q4$ を駆動する駆動回路は、二次巻線 N_{2A} と $MOS-FET Q3$ のドレインとの接続点と $MOS-FET Q4$ のゲートの間に、ゲート抵抗 R_{g2} を接続すると共に、 $MOS-FET Q4$ のゲートと二次側アースとの間に抵抗 R_{12} を接続して形成される。

【0023】

$MOS-FET$ は、ゲートにオン電圧を印加すると、ドレイン→ソース間は、単なる抵抗と等価となるので、電流は双方向に流れる。これを二次側の整流素子として機能させようとすれば、平滑コンデンサ C_o の正極端子に充電する方向のみに電流を流さなければならない。これとは逆方向に電流が流れると、平滑コンデンサ C_o から絶縁コンバータトランス PIT 側に放電電流が流れて、負荷側に有効に電力を伝達することができなくなる。また、逆電流による $MOS-FET$ の発熱、ノイズなどが生じて、一次側におけるスイッチング損失も招く。

上記した駆動回路は、二次巻線の電圧を検出することに基づいて、平滑コンデンサ C_o の正極端子に充電する方向にのみ電流が流れるように、 $MOS-FET Q3$ 、 $Q4$ をスイッチング駆動するための回路である。

【0024】

図 11 の波形図は、上記図 10 に示す二次側の構成を採る電源回路 (一次側は図 8 と同様) として、負荷電力 $P_o=100\text{ W}$ 時の動作を示している。前述もしたように、この場合における負荷電力 $P_o=100\text{ W}$ は、ほぼ最大負荷の条件となる。

この図において、スイッチング素子 $Q2$ の両端電圧 $V1$ と、これに応じた二次巻線 N_{2A} - N_{2B} の両端に得られる二次巻線電圧 $V2$ は、図 9 と同様のタイミングとなっているものである。なお、図 11 に示す二次巻線電圧 $V2$ は、二次巻線 N_{2A} とゲート抵抗 R_{g2} との接続点側からみた場合の極性となっており、二次巻線 N_{2B} とゲート抵抗 R_{g1} との接続点側からみた場合には逆極性となる。

$MOS-FET Q4$ の駆動回路は、この図に示す極性の二次巻線電圧 $V2$ が負極性の所定レベルでクランプされる期間に至ると、 $MOS-FET Q4$ のゲートに対して、ゲート抵抗 R_{g2} と抵抗 R_{12} とにより設定されるレベルのオン電圧を印加するように動作することになる。

同様にして、 $MOS-FET Q3$ の駆動回路 (ゲート抵抗 R_{g1} 、抵抗 R_{11}) は、この図とは反転した極性の二次巻線電圧 ($V2$) が負極性の所定レベルでクランプされる期間に至ると、 $MOS-FET Q3$ のゲートに対してオン電圧を印加するように動作することになる。

【0025】

これにより、MOS-FET Q3, Q4には、それぞれ、図示するようにして、期間DON1, DON2において、正極性の整流電流 I_1 , I_2 が流れる。図示する二次巻線電圧 V_2 が正/負でクランプされる期間に流れる整流電流 I_1 , I_2 は、図8の回路の場合（図9の波形図の整流電流 I_1 , I_2 ）と同様に、35Apである。しかしながら、MOS-FET Q3, Q4は低オン抵抗であり、ショットキーダイオードによる整流ダイオード Do1, Do2と比較すれば、整流電流の導通損は著しく低いものとする事ができる。また、駆動回路が抵抗素子のみから成ることからも理解されるように、巻線電圧検出方式は、駆動回路系が簡単な構成であることもメリットとなっている。

【0026】

しかしながら、この図11に対応する場合のような重負荷（負荷電力 $P_o = 100W$ ）とされる条件では、この電源回路も二次側整流電流は不連続モードとなる。これは、図11においても期間DON1, DON2が不連続であることにより示されている。

この不連続モードでは、整流電流 I_1 , I_2 として、平滑コンデンサ C_o への充電電流が0レベルになったとしても、絶縁コンバータトランス P I T の一次巻線 N1には同じ方向に電流が流れている。これは、先の図9の波形図において、期間DON1, DON2以外の期間において、一次側直列共振電流 I_o として、一次巻線 N1の励磁インダクタンス成分がその直前タイミングと同じ極性で流れていることを指している。このために、実際としては、二次巻線 N2A, N2Bに誘起される電圧の極性が反転しないために、その間、MOS-FET Q3, Q4は完全にオフにならずにオン状態を維持する。これにより、図示するようにして、期間DON1, DON2以外では、整流電流 I_1 , I_2 として逆方向の電流が流れてしまう。この期間DON1, DON2以外における逆方向の整流電流 I_1 , I_2 は、無効電力を生じさせるが、このときの整流電流 I_1 , I_2 のレベルは、8Apと比較的高いために、その無効電力量も相応に大きなものとなる。

このように、同期整流回路として巻線電圧検出方式を採用する場合、整流電流の導通損は低減されるものの、上記のようにして無効電力が発生するために、全体として電力変換効率の有効な向上は図ることが難しいというのが現状である。

【0027】

図12の波形図は、図10に示した二次側の構成を採用電源回路についての軽負荷とされる条件での動作を示している。

図10に示す電源回路の実際としても、先に図8に示した電源回路の構成として説明したようにスイッチング周波数制御による定電圧制御を行うが、軽負荷の条件となって二次側直流出力電圧が上昇すると、スイッチング周波数を高くするようにして二次側直流出力電圧を低下させ、これにより安定化を図るように動作する。

そして、このような軽負荷の状態では、図12に示すスイッチング素子 Q2の両端電圧 V_1 に対して、二次側巻線電圧 V_2 はほぼ同じタイミングで反転するようになり、これに応じて、二次側の整流電流 I_1 , I_2 としては、期間DON1, DON2との間に休止期間が無く平滑コンデンサ C_o に連続して充電されるようにして流れる。つまり、連続モードとなる。このときには、上記図14の重負荷時の動作として示したような逆方向の整流電流 I_1 , I_2 が流れる期間は存在しなくなって、これに応じた無効電力も生じていない。

このように、二次側整流回路系を巻線電圧検出方式による同期整流回路に置き換えた構成の電源回路も、重負荷時における電力変換効率の低下が依然として問題となる。

【0028】

そこで、上記図11に示されるような、逆方向の整流電流による無効電力の発生の問題を解消する技術としては、整流電流検出方式による同期整流回路が知られている。この整流電流検出方式は、平滑コンデンサ C_o に充電される整流電流が0レベルになる前に MOS-FET をオフさせる技術である。

この整流電流検出方式による同期整流回路の構成例を、図13に示す。なお、この図においては、説明を簡単なものとするために、半波整流による構成を示している。

【0029】

整流電流検出方式としては、二次巻線 N2に流れる電流を検出するためにカレントトラ

ンスTRを設ける。カレントトランスの一次巻線Naは、二次巻線N2の端部と、MOS-FETQ4のドレインと接続される。MOS-FETQ4のソースは、平滑コンデンサCoの負極端子に接続している。

カレントトランスの二次巻線Nbに対しては、抵抗Raが並列に接続されるとともに、相互に順電圧方向が逆となるようにして、ダイオードDa、Dbが並列に接続されて並列接続回路を形成する。また、この並列接続回路に対して、コンパレータ20が接続される。コンパレータ20の反転入力には、基準電圧Vrefが入力される。なお、基準電圧Vrefとコンパレータ20の反転入力との接続点には、上記並列接続回路においてダイオードDaのアノードとダイオードDbのカソードが接続されている側の端部と接続される。また、コンパレータ20の非反転入力には、上記並列接続回路においてダイオードDaのカソードとダイオードDbのアノードが接続されている側の端部が接続される。

この場合、コンパレータ20の出力は、バッファ21により増幅されてMOS-FETQ4のゲートに印加されるようになっている。

【0030】

上記図13に示す構成による回路の動作を、図14に示す。

二次巻線N2に誘起される電圧が、平滑コンデンサCoの両端電圧(Eo)よりも大きくなると、まず、MOS-FETQ4のボディダイオードのアノード→カソードの方向により、平滑コンデンサCoへ充電するようにして整流電流Idが流れ始める。この整流電流Idは、カレントトランスの一次巻線Naに流れるので、カレントトランスの二次巻線Nbには、一次巻線Naに流れる整流電流Idに応じた電圧Vnbが誘起される。コンパレータ20では、基準電圧Vrefと電圧Vnbとを比較して、電圧Vnbが基準電圧Vrefを越えるとHレベルを出力する。このHレベルの出力がバッファ21からオン電圧としてMOS-FETQ4のゲートに対して印加され、MOS-FETQ4をオンさせる。これにより、整流電流IdがMOS-FETQ4のドレイン→ソース方向により流れることになる。図14では、正極性により流れる整流電流Idとして示されている。

【0031】

そして時間経過に応じて整流電流Idのレベルが低下し、これに応じて、電圧Vnbが基準電圧Vrefよりも低くなると、コンパレータ20は出力を反転させる。この反転出力がバッファ21を介して出力されることで、MOS-FETQ4のゲート容量を放電させて、MOS-FETQ4をオフとする。なお、この時点で、残りの整流電流IdはボディダイオードDD4を経由して短時間のうちに流れる。

【0032】

このような動作とされることで、MOS-FETQ4は、整流電流Idが0レベルとなる前のタイミングでオフされることになる。これにより、図11に示したように、整流電流が不連続となる期間において、MOS-FETに逆方向電流が流れることが無くなって無効電力が生じなくなり、その分の電力変換効率は高くなる。

例えば、図8に示した電源回路の二次側の構成を、上記図13に示した構成に基づく、全波整流の整流電流検出方式による同期整流回路とした場合のDC→DC電力変換効率としては、先の図9、図11などと同様の条件の下で測定したところ、90%程度にまで向上するという測定結果が得られた。

【0033】

【特許文献1】特開2003-111401号公報

【発明の開示】

【発明が解決しようとする課題】

【0034】

しかしながら、上記した整流電流検出方式の同期整流回路では、図13からも分かるように、1つのMOS-FETに対応して、少なくとも1組のカレントトランスと、このカレントトランスの出力によりMOS-FETを駆動するための比較的複雑な駆動回路系が必要となる。これにより、回路構成が複雑になり、これが製造能率の低下、コストアップ、回路基板サイズの拡大などにつながるという不都合が生じることになる。

特に、図13に示した一次側のスイッチングコンバータの構成を基本として整流電流検出方式の同期整流回路を二次側に備えることとした場合、二次側には全波整流回路を備える必要がある。従って、上記したカレントトランス及び駆動回路系は、MOS-FET Q3, Q4ごとに対応して2組必要とされることになり、上記した問題がさらに大きくなる。

このようにして、巻線電圧検出方式と整流電流検出方式とでは、巻線電圧検出方式のほうが、無効電力により電力変換効率の面で不利ではあるが、回路構成が簡略であるのに対して、整流電流検出方式のほうは、無効電力が生じないので電力変換効率の面では有利であるが、回路構成が複雑になる、というトレードオフの関係にある。

従って、同期整流回路を備える電源回路としては、できるだけ簡略な回路構成でありながら、かつ、無効電力による損失増加が解消されるような構成を採ることが求められている、ということになる。

【課題を解決するための手段】

【0035】

そこで、本発明では以上のような問題点を鑑み、スイッチング電源回路として以下のよう構成することとした。

すなわち、まず、入力された直流入力電圧を断続するようにしてスイッチングを行うスイッチング素子を備えて形成されるスイッチング手段と、上記スイッチング素子をスイッチング駆動する駆動手段と、上記スイッチング手段のスイッチング出力を一次側から二次側に伝送するものであり、少なくとも一次巻線と二次巻線が巻装される絶縁コンバータトランスとを備える。

そして、少なくとも、上記絶縁コンバータトランスの一次巻線の漏洩インダクタンス成分と、自己のキャパシタンスとによって上記スイッチング手段の動作を共振形とするための一次側共振回路を形成するようにして、一次側の所定の部位に接続される一次側共振コンデンサと、上記スイッチング手段を形成するスイッチング素子のうち、少なくとも一方のスイッチング素子に対して並列に接続される部分共振コンデンサのキャパシタンスと、上記絶縁コンバータトランスの一次巻線の漏洩インダクタンス成分によって形成され、上記スイッチング手段を形成するスイッチング素子のターンオフ期間に部分電圧共振動作を行う一次側部分電圧共振回路を備え、さらに上記絶縁コンバータトランスの二次巻線に誘起される交番電圧を全波整流して二次側平滑コンデンサに整流電流を充電することで、上記二次側平滑コンデンサの両端電圧として二次側直流出力電圧を得るようにされた同期整流回路と、を備えるようにする。

そして、このような構成において、まずは、上記絶縁コンバータトランスの磁束密度を、上記二次側直流電圧に接続される負荷条件の変動にかかわらず、上記全波整流動作により同期整流回路に流れる二次側整流電流が連続モードとなるようにして、所定以下となるように設定する。

さらに、上記同期整流回路としては、上記絶縁コンバータトランスの二次巻線をセンタータップしたタップ出力を平滑コンデンサの正極端子に接続するとともに、

上記二次巻線のセンタータップしていない側の一方の端部と二次側アースとの間に直列接続される第1の電界効果トランジスタと、上記二次巻線のセンタータップしていない側の他方の端部と二次側アースとの間に直列接続される第2の電界効果トランジスタとを備えるようにする。

そして、上記第1の電界効果トランジスタが整流電流を流すべき半波の期間に対応する二次巻線電圧を抵抗素子により検出して、上記第1の電界効果トランジスタをオンとするためのゲート電圧を出力するようにされた第1の駆動回路と、上記第2の電界効果トランジスタが整流電流を流すべき半波の期間に対応する二次巻線電圧を抵抗素子により検出して、上記第2の電界効果トランジスタをオンとするためのゲート電圧を出力するようにされた第2の駆動回路とを備えるようにする。

その上で、上記二次巻線のセンタータップしていない側の一方の端部と上記第1の電界効果トランジスタとの間、及び上記二次巻線のセンタータップしていない側の他方の端部と第2の電界効果トランジスタとの間に、それぞれ直列に挿入される所要のインダクタン

スによるインダクタ素子を備えるようにした。

【0036】

上記構成によるスイッチング電源回路において、一次側スイッチングコンバータとしては、共振形コンバータに対して部分電圧共振回路が組み合わされた複合共振形コンバータとしての構成を採り、二次側においては、巻線電圧検出方式による全波整流の同期整流回路を備える。

そして、絶縁コンバータトランスの磁束密度が所定以下となるようにしていることで、負荷変動にかかわらず、二次側整流電流が常に連続モードとなるようにしている。二次側整流電流が連続モードとなれば、巻線電圧検出方式による同期整流回路において問題となる、二次側整流電流の不連続期間において整流電流に逆方向電流が生じることに依る無効電力を低減することができる。

その上で、上記のようにして二次巻線と各電界効果トランジスタとの間には、所要のインダクタンスによるインダクタ素子が直列に挿入される。このインダクタ素子によっては、そこに電流が流れる際の逆起電力により整流電流に生じる逆方向電流が抑圧される。つまり、これによって、上記逆方向電流が流れることによる無効電力についての、さらなる低減が図られる。

【発明の効果】

【0037】

このことから、本発明としては、巻線電圧検出方式の同期整流回路を備えながらも、二次側整流電流の不連続期間に対応した無効電力は生じないこととなり、例えば、整流電流検出方式による同期整流回路を備えた場合と同等程度にまで電力変換効率を向上させることができる。そして、なおかつ、同期整流回路の回路構成自体は巻線電圧検出方式であることで、整流電流検出方式よりも簡易な構成を採ることができる。

つまり、本発明によっては、同期整流回路を備える複合共振形コンバータとして、高い電力変換効率を得ることと、回路の簡易化による回路規模の縮小、及び低コスト化を図ることとの両立が図られるものであり、特に、低電圧大電流とされるような条件に電源回路を使用する場合に有利となるものである。

【発明を実施するための最良の形態】

【0038】

図1は、本発明の実施の形態としてのスイッチング電源回路の構成例を示している。この図に示す電源回路は、一次側の基本構成として、他励式によるハーフブリッジ結合方式による電流共振形コンバータに対して部分電圧共振回路が組み合わされた構成を採る。

【0039】

この図に示す電源回路においては、まず、商用交流電源ACに対し、フィルタコンデンサCL、CL、及びコモンモードチョークコイルCMCによるノイズフィルタが形成されている。

そして、このようなノイズフィルタの後段に対しては、図のように整流ダイオードDA、DBから成る整流回路部Diと、2本の平滑コンデンサCi1、Ci2とから成る倍電圧整流回路が備えられる。この倍電圧整流回路によっては、平滑コンデンサCi1-Ci2の両端電圧として、交流入力電圧VACの2倍に対応したレベル整流平滑電圧Ei（直流入力電圧）が生成される。

【0040】

この図に示す電源回路のように、負荷が比較的大きな電流を必要とする条件では、一次側スイッチングコンバータ側の回路に流れる電流レベルも増加する。これにより、スイッチング損失などが増加して電力変換効率が低下する。そこで、このようにして、直流入力電圧を生成する整流回路系について倍電圧整流回路とすることで、例えば通常の全波整流により交流入力電圧VACの等倍に対応するレベルの整流平滑電圧Eiを供給する場合と比較して、一次側スイッチングコンバータの回路内に流れる電流レベルを約1/2とすることができる。これにより、一次側スイッチングコンバータによるスイッチング損失が低減されるようにしているものである。

【0041】

上記直流入力電圧を入力してスイッチング（断続）する電流共振形コンバータとしては、図示するようにして、MOS-FETによる2本のスイッチング素子Q1、Q2をハーフブリッジ結合により接続したスイッチング回路を備える。スイッチング素子Q1、Q2の各ドレインソース間に対しては、ダンパーダイオードDD1、DD2が並列に接続される。ダンパーダイオードDD1のアノード、カソードは、それぞれスイッチング素子Q1のソース、ドレインと接続される。同様にして、ダンパーダイオードDD2のアノード、カソードは、それぞれスイッチング素子Q2のソース、ドレインと接続される。ダンパーダイオードDD1、DD2は、それぞれスイッチング素子Q1、Q2が備えるボディダイオードとされる。

【0042】

また、スイッチング素子Q2のドレインソース間に対しては、部分共振コンデンサC_pが並列に接続される。この部分共振コンデンサC_pのキャパシタンスと一次巻線N1のリーケージインダクタンスL1によっては並列共振回路（部分電圧共振回路）を形成する。そして、スイッチング素子Q1、Q2のターンオフ時にのみ電圧共振する、部分電圧共振動作が得られるようになっている。

【0043】

この電源回路においては、スイッチング素子Q1、Q2をスイッチング駆動するために、発振・ドライブ回路2が設けられる。この発振・ドライブ回路2は、発振回路、駆動回路を有しており、例えば汎用のICを用いることができる。そして、この発振・ドライブ回路2内の発振回路及び駆動回路によって、所要の周波数によるドライブ信号（ゲート電圧）をスイッチング素子Q1、Q2の各ゲートに対して印加する。これにより、スイッチング素子Q1、Q2は、所要のスイッチング周波数により交互にオン/オフするようにしてスイッチング動作を行う。

【0044】

絶縁コンバータトランスPITは、スイッチング素子Q1、Q2のスイッチング出力を二次側に伝送するために設けられる。

この絶縁トランスPITの一次巻線N1の一方の端部は、一次側並列共振コンデンサC1の直列接続を介して、スイッチング素子Q1のソースとスイッチング素子Q2のドレインとの接続点（スイッチング出力点）に接続されることで、スイッチング出力が伝達されるようになっている。

また、一次巻線N1の他方の端部は、一次側アースに接続される。

【0045】

ここで、絶縁コンバータトランスPITは、後述する構造により、絶縁コンバータトランスPITの一次巻線N1に所要のリーケージインダクタンスL1を生じさせる。そして、直列共振コンデンサC1のキャパシタンスと、上記リーケージインダクタンスL1によっては、一次側スイッチングコンバータの動作を電流共振形とするための一次側直列共振回路を形成する。

【0046】

上記説明によると、この図に示す一次側スイッチングコンバータとしては、一次側直列共振回路（L1-C1）による電流共振形としての動作と、前述した部分電圧共振回路（C_p//L1）とによる部分電圧共振動作とが得られることになる。

つまり、この図に示す電源回路は、一次側スイッチングコンバータを共振形とするための共振回路に対して、他の共振回路とが組み合わされた、複合共振形コンバータとしての構成を採っている。

【0047】

絶縁コンバータトランスPITの二次巻線には一次巻線N1に伝達されたスイッチング出力に応じた交番電圧が励起される。

本実施の形態の場合、絶縁コンバータトランスPITの二次巻線としては、図のように、それぞれ上記一次巻線N1と巻方向が同極性とされた二次巻線N2A、二次巻線N2Bが備えられる。

これら二次巻線N2A、N2Bは、それぞれセンタータップが施されたことで、それぞれ図のように2つの巻線部に分割されている。ここでは、二次巻線N2Aの巻き始め端部を含む巻線部を巻線部N2A1とし、巻き終わり端部を含む巻線部は巻線部N2A2としている。また、二次巻線N2Bの巻き始め端部を含む巻線部は巻線部N2B1、巻き終わり端部を含む巻線部は巻線部N2B2とする。

【0048】

この場合の二次巻線N2A、N2Bにおいて、上記巻線部N2A1、N2A2、N2B1、N2B2は、それぞれ同じ所定のターン数を有する。

そして、この二次巻線N2A、N2Bに対しては、整流用素子としてNチャネルのMOS-FET Q3、Q4を備える全波整流の同期整流回路が備えられる。これらMOS-FET Q3、Q4は、例えば低耐圧のトレンチ構造のものを選定することで、低オン抵抗を得るようにされる。

【0049】

上記二次巻線N2A、N2Bの各センタータップ出力は、平滑コンデンサC_oの正極端子に接続される。

そして、二次巻線N2A、N2Bの各巻き始め端部は、インダクタL_{d1}→MOS-FET Q3のドレイン→ソースを介して、二次側アース（平滑コンデンサC_oの負極端子側）に接続される。

また、二次巻線N2A、N2Bの各巻き終わり端部は、インダクタL_{d2}→MOS-FET Q4のドレイン→ソースを介して、二次側アース（平滑コンデンサC_oの負極端子側）に接続される。

なお、MOS-FET Q3、Q4のドレイン→ソースに対しては、それぞれ、ボディダイオードDD3、DD4が接続される。

【0050】

このような接続形態によれば、二次巻線N2A、N2Bの巻線部N2A1、巻線部N2B1を含む整流電流経路においては、MOS-FET Q3が直列に挿入される。また、二次巻線N2A、N2Bの巻線部N2A2、巻線部N2B2を含む整流電流経路においては、MOS-FET Q4が直列に挿入された構造となっている。

また、この際、上記巻線部N2A1、巻線部N2B1を含む整流電流経路においては、二次巻線N2A、N2Bの各巻き始め端部とMOS-FET Q3のドレインとの間に、インダクタL_{d1}が直列に挿入されるものとなる。同様に、上記巻線部N2A2、巻線部N2B2を含む整流電流経路においては、二次巻線N2A、N2Bの各巻き終わり端部とMOS-FET Q4のドレインとの間にインダクタL_{d2}が直列に挿入される。

【0051】

そして、MOS-FET Q3を駆動する駆動回路は、二次巻線N2Aの巻き終わり端部とMOS-FET Q3のゲートとの間に、ゲート抵抗R_{g1}を接続して形成される。

同様に、MOS-FET Q4を駆動する駆動回路は、二次巻線N2Bの巻き始め端部とMOS-FET Q4のゲートとの間に、ゲート抵抗R_{g2}を接続して形成される。

つまりこの場合、上記MOS-FET Q3は、それぞれ巻線部N2A2、巻線部N2B2に励起される交番電圧が上記ゲート抵抗R_{g1}により検出されて導通するようにされ、また、MOS-FET Q4は、巻線部N2A1、巻線部N2B1に励起される交番電圧が上記ゲート抵抗R_{g2}により検出されて導通するようにされているものである。

【0052】

MOS-FETは、ゲートにオン電圧を印加すると、ドレイン→ソース間は、単なる抵抗体と等価となるので、電流は双方向に流れる。これを二次側の整流素子として機能させようとすれば、平滑コンデンサC_oの正極端子に充電する方向のみに電流を流さなければならない。これとは逆方向に電流が流れると、平滑コンデンサC_oから絶縁コンバータトランスPIT側に放電電流が流れて、負荷側に有効に電力を伝達することができなくなる。また、逆電流によるMOS-FETの発熱、ノイズなどが生じて、一次側におけるスイッチング損失も招く。

上記した駆動回路は、二次巻線の電圧を検出することに基づいて、平滑コンデンサC_oの正極端子に充電する方向（つまり、この場合ではソース→ドレイン方向）の電流のみが流れるように、MOS-FET Q₃、Q₄をスイッチング駆動するための回路である。つまり、この場合における同期整流回路の回路構成としては、巻線電圧検出方式により、整流電流に同期させてMOS-FET Q₃、Q₄をオン/オフ駆動する構成を採っているものである。

【0053】

なお、この場合、MOS-FET Q₃、MOS-FET Q₄の駆動回路系を形成するとされるゲート抵抗R_{g1}、R_{g2}に対しては、それぞれ並列にショットキーダイオードD_{g1}、ショットキーダイオードD_{g2}を図示する方向により接続するようにしている。これらショットキーダイオードD_{g1}、D_{g2}によっては、後述するようにMOS-FET Q₃、Q₄のゲート入力容量の蓄積電荷を、これらのターンオフ時に放電するための経路が形成される。

【0054】

また、この場合、MOS-FET Q₃のゲート-ソース間に対しては、図のようにツェナーダイオードD_{z1}、ツェナーダイオードD_{z2}を挿入し、同様にMOS-FET Q₄のゲート-ソース間にはツェナーダイオードD_{z3}、ツェナーダイオードD_{z4}を挿入しているが、これらのツェナーダイオードによってはMOS-FET Q₃、Q₄についての過電圧保護回路が形成される。

このようなツェナーダイオードD_zとしては、ツェナー電位（ブレイクダウン電位）としてMOS-FET Q₃、Q₄の耐圧レベルに応じた電位のもが選定される。これにより、MOS-FET Q₃、Q₄のゲート-ソース間電位が耐圧レベル以上に上昇するのに応じ、これらツェナーダイオードD_zが導通してMOS-FET Q₃、Q₄を保護することができ

る。

例えば、この場合のツェナーダイオードD_zとしては、ツェナー電位=±20Vのものを選定される。また、例えばこれらツェナーダイオードD_{z1}、D_{z2}、及びツェナーダイオードD_{z3}、D_{z4}は、それぞれMOS-FET Q₃、MOS-FET Q₄に対して内蔵されるようにして備えられる。

【0055】

また、上述もしたように、この図1に示す電源回路では、二次巻線N2Aの巻き始め端部-MOS-FET Q₃のドレイン間に対し、インダクタL_{d1}を挿入している。また、同様に二次巻線N2Bの巻き始め端部-MOS-FET Q₄のドレイン間に対しては、インダクタL_{d2}を挿入している。

本実施の形態において、これらインダクタL_{d1}、L_{d2}としては、例えば0.6μH程度の比較的低いインダクタンスを設定するものとしている。

【0056】

ここで、このように低いインダクタンスを得るにあたっては、上記インダクタL_{d1}、L_{d2}として、次の図3に示すようなビーズコアを用いることが考えられる。

すなわち、この図3に示されるようにして、例えばアモルファス磁性体若しくはフェライト材等の磁性体が筒形状に形成されたビーズコアによって、リード線を挿通する。そして、このようにリード線を挿通したビーズコアを、1つのインダクタ素子としてプリント基板上に実装するものである。

【0057】

或いは、本実施の形態において、このようなインダクタL_{d1}、L_{d2}として低インダクタンスを得るにあたっては、これらインダクタL_{d1}、L_{d2}を例えば次の図4（a）、図4（b）に示すようにして形成するものとしている。

まず、図4（a）は、インダクタL_{d1}、L_{d2}として、上記したようなビーズコアを用いる他の例を示している。

この場合、上記したようなアモルファス磁性体若しくはフェライト材等の磁性体によるビーズコアを、図のようにプリント基板上に半田付けされるMOS-FET Q₃、Q₄のドレイン電極端子としてのリード線を挿通するようにして設ける。そして、このようなビーズ

コアのインダクタンスによってインダクタ L_{d1} 、 L_{d2} を形成する。

このようにドレイン電極のリード線にビーズコアを直接設けるようにすれば、図3に示したようなビーズコアとしての部品素子を基板上に実装する必要がなく、基板の省スペース化を図ることができる。

【0058】

また、図4(b)は、MOS-FET Q3、Q4を実装するプリント基板の配線パターンを螺旋状に形成する例である。

この場合は、プリント基板における、MOS-FET Q3、Q4のドレイン電極に配線されるべき銅箔パターンを、図示するように螺旋状に形成し、この螺旋形状によりインダクタ L_{d1} 、 L_{d2} としての所要のインダクタンスを得るようにするものである。

これによれば、プリント配線基板の製造と同時にインダクタ L_d を形成できるというメリットがある。

【0059】

説明を図1に戻す。

上述した回路構成による同期整流回路によっては、平滑コンデンサ C_o に対して全波整流により整流して得られる整流電流を充電する動作が得られる。

すなわち、二次側に励起される交番電圧の一方の半周期には、巻線部 N2A1、N2B1に流れる電流がそれぞれ平滑コンデンサ C_o に対して充電される。また、交番電圧の他方の半周期には、巻線部 N2A2、N2B2に流れる電流がそれぞれ平滑コンデンサ C_o に対して充電される。これによって、上記交番電圧が正/負の期間で平滑コンデンサ C_o に充電する全波整流動作が得られるものである。

そして、このような平滑コンデンサ C_o の両端電圧として、図のような二次側直流出力電圧 E_o が得られる。この二次側直流出力電圧 E_o は、図示しない負荷側に供給されるとともに、次に説明する制御回路1のための検出電圧としても分岐して入力される。

【0060】

制御回路1は、二次側直流出力電圧 E_o のレベル変化に応じた検出出力を発振・ドライブ回路2に供給する。発振・ドライブ回路2では、入力された制御回路1の検出出力に応じてスイッチング周波数が可変されるようにして、スイッチング素子 Q1、Q2を駆動する。スイッチング素子 Q1、Q2のスイッチング周波数が可変されることで、絶縁コンバータトランス P I Tの一次巻線 N1から二次巻線 N2A、N2B側に伝送される電力が変化するが、これにより二次側直流出力電圧 E_o のレベルを安定化させるように動作する。

例えば重負荷の傾向となって二次側直流出力電圧 E_o が低下するのに対応しては、上記スイッチング周波数を高くするように制御することで、二次側直流出力電圧 E_o を上昇させる。これに対して、軽負荷の傾向となって二次側直流出力電圧 E_o が上昇するのに対応しては、上記スイッチング周波数を低くするように制御することで、二次側直流出力電圧 E_o を低下させる。

【0061】

本実施の形態としては、この図に示す電源回路の回路構成の下で、低電圧、大電流とされる負荷条件に対応させることとしている。ここでの低電圧大電流の状態としては、二次側直流出力電圧 $E_o = 5V$ で、一次側スイッチングコンバータのスイッチング電流である一次側直列共振電流 $I_o = 20A$ となる状態であるとする。

【0062】

このような条件を前提として、図1に示す電源回路としては、次のようにして各部所要の部品を構成し、また、選定している。

まず、絶縁コンバータトランス P I Tについては、図2に示す構造を採ることとしている。

この図に示すように、絶縁コンバータトランス P I Tは、フェライト材による E 型コア CR1、CR2を互いの磁脚が対向するように組み合わせた EE 型コアを備える。

そして、一次側と二次側の巻装部について相互に独立するようにして分割した形状により、例えば樹脂などによって形成される、ボビン B が備えられる。このボビン B の一方の

巻装部に対して一次巻線N1を巻装する。また、他方の巻装部に対して二次巻線(N2A, N2B)を巻装する。このようにして一次側巻線及び二次側巻線が巻装されたボビンBを上記EE型コア(CR1, CR2)に取り付けることで、一次側巻線及び二次側巻線とがそれぞれ異なる巻装領域により、EE型コアの中央磁脚に巻装される状態となる。このようにして絶縁コンバートランスPIT全体としての構造が得られる。この場合のEE型コアのサイズは例えばEER-35としている。

【0063】

EE型コアの中央磁脚に対しては、図のようにして、例えばギャップ長1.5mm程度のギャップGを形成するようにしている。これによって、結合係数kとしては、例えば $k=0.8$ 以下による疎結合の状態を得るようにしている。つまり、従来例として図8に示した電源回路の絶縁コンバートランスPITよりも、さらに疎結合の状態としているものである。なお、ギャップGは、E型コアCR1, CR2の中央磁脚を、2本の外磁脚よりも短くすることで形成することが出来る。

【0064】

そのうえで、二次側巻線の1T(ターン)あたりの誘起電圧レベルとしても、図8に示した電源回路よりも低くなるように、一次巻線N1と二次巻線N2A, N2Bの巻線数(ターン数)を設定する。例えば、一次巻線 $N1=80T$ 、二次巻線 $N2A=N2B=6T$ (巻線部 $N2A1=N2A2=N2B1=N2B2=3T$)とすることで、二次側巻線の1T(ターン)あたりの誘起電圧レベルを、 $2V/T$ 以下としている。

【0065】

このような絶縁コンバートランスPIT及び一次巻線N1、二次巻線(N2A, N2B)の巻線数設定とすることで、絶縁コンバートランスPITのコアにおける磁束密度が低下して、図8に示した電源回路よりも、絶縁コンバートランスPITにおけるリーケージインダクタンスは増加する。

【0066】

また、一次側直列共振コンデンサC1には、 $0.015\mu F$ を選定した。また、二次側の同期整流回路を形成するMOS-FETQ3, Q4については、 $30A/20V$ を選定しており、そのオン抵抗は $2.5m\Omega$ である。

【0067】

このような構成による図1に示す電源回路の動作波形を、図5及び図6に示す。図5は、交流入力電圧 $VAC=100V$ 、負荷電力 $P_o=100W$ のときの動作を示し、図6は、交流入力電圧 $VAC=100V$ 、負荷電力 $P_o=25W$ 時の動作を示している。図1に示す電源回路の対応負荷電力範囲において、負荷電力 $P_o=100W$ は重負荷とされる条件であり、負荷電力 $P_o=25W$ は軽負荷の条件となる。

【0068】

図5に示す波形図において、スイッチング素子Q2の両端電圧 V_1 は、スイッチング素子Q2のオン/オフ状態に対応している。つまり、スイッチング素子Q2がオンとなる期間T2では0レベルで、オフとなる期間T1では所定レベルでクランプされた矩形波となる。そして、スイッチング素子Q2//ダンパーダイオードDD2に流れるスイッチング電流 I_{DS2} としては、期間T2に示されるように、ターンオン時においては、ダンパーダイオードDD2を流れることで負極性となり、これが反転して正極性によりスイッチング素子Q2のドレイン→ソースを流れ、期間T1でオフとなって0レベルとなる波形が得られる。

また、スイッチング素子Q1は、上記スイッチング素子Q2に対して交互にオン/オフするようにしてスイッチングを行う。このため、スイッチング素子Q1//ダンパーダイオードDD1に流れるスイッチング電流としても、図示はしていないがスイッチング電流 I_{DS2} に対して 180° 位相がシフトした波形となる。また、スイッチング素子Q1の両端電圧としても、スイッチング素子Q2の両端電圧 V_1 に対して 180° 位相がシフトした波形となる。

【0069】

そして、スイッチング素子Q1, Q2のスイッチング出力点と一次側アース間に接続され

る一次側直列共振回路 (C1-L1) に流れる一次側直列共振電流 I_o は、スイッチング電流 I_{DS1} とスイッチング電流 I_{DS2} とが合成されたものとなる。これにより、図示するようにして、一次側直列共振電流 I_o は正弦波状となる。この波形を、図 8 に示した従来の電源回路の一次側直列共振電流 I_o の波形 (図 9 参照) と比較すると、本実施の形態の一次側直列共振電流 I_o としては、一次巻線 N1 の励磁インダクタンスにより発生する鋸歯状波成分がほとんど含まれていないことが分かる。これは、絶縁コンバートランス P I T の結合係数をより疎結合な状態としたことで、一次巻線 N1 のリーケージインダクタンス L_1 が増加した分、相対的に一次巻線 N1 の励磁インダクタンスが小さくなったことに依る。

【0070】

そして、このような一次側直列共振電流 I_o の波形が得られるのに応じて、二次巻線 N2A の巻線部 N2A1 に得られる電圧 V2 としては、一次側直列共振電流 I_o の周期に応じた波形とされ、且つ二次側直流出力電圧 E_o に対応する絶対値レベルでクランプされた波形となる。

なお、この電圧 V2 としては、巻線部 N2A1 に得られる電位として示したが、二次巻線 N2B における巻線部 N2B2 においても同等の波形により電位が生じていることになる。またこの場合、巻線部 N2A2、巻線部 N2B2 においても、この電圧 V2 と同等の電位が生じるものである。

ここで、図 9 に示す電圧 V2 と比較して分かるように、この図 5 に示す電圧 V2 は、一次側直列共振電流 I_o が 0 レベルとなるタイミングで、同様に 0 レベルとなる波形が得られる。つまり、この場合の電圧 V2 としては、ゼロクロスタイミングが一次側直列共振電流 I_o のゼロクロスタイミングと重なるようになっている (図中時点 t_1 、 t_2 、 t_3 参照)。

【0071】

そして、電圧検出方式による二次側の同期整流回路では、抵抗 R_{g2} から成る駆動回路により上記電圧 V2 (巻線部 N2A1、N2B1) を検出し、MOS-FET Q4 に対してオンレベルのゲート電圧を出力する。

この場合、電圧 V2 としては、図示するように時点 t_1 にて正極性のピークレベルとなり、以降はそのレベルを低下させていき時点 t_2 にて 0 レベルとなるような波形とされている。MOS-FET Q4 のゲートソース間に生じるゲートソース間電圧 V_{GS4} は、この電圧 V2 が、Q4 のゲートソース間電位として定められた所定のレベルに対応したレベル以上を保つ期間 (図中期間 $t_1 \sim t_{d1}$) において、オン電圧を発生させる。つまり、この期間 $t_1 \sim t_{d1}$ が、MOS-FET Q4 のオン期間 $DON2$ となる。

そして、この期間 $DON2$ が終了する時点 t_{d1} から時点 t_2 までは、MOS-FET Q4 のデットタイムであり、このデットタイムである期間 $t_{d1} \sim t_2$ では Q4 のボディダイオード DD4 を介して整流電流が流れる。このことは、図示するゲートソース間電圧 V_{GS4} における期間 $t_{d1} \sim t_2$ の電位によっても示されている。

これによって、MOS-FET Q4 を介して流される整流電流 I_4 としては、図示するように時点 $t_1 \sim t_2$ の期間にわたって流れるようになる。つまり、この整流電流 I_4 としては、これら時点 t_1 、 t_2 において、一次側直列共振電流 I_o と 0 レベルになるタイミングが重なるようにされ、これによって一次側直列共振電流と連続するものとなる。

【0072】

また、同様に抵抗 R_{g1} から成る駆動回路では、上記電圧 V2 と同等とされる巻線部 N2A2、N2B2 に生じる電圧を検出し、MOS-FET Q3 に対してオンレベルのゲート電圧を出力するようにされる。

つまり、この場合、MOS-FET Q3 のゲートソース間に生じるゲートソース間電圧 V_{GS3} は、巻線部 N2A2、N2B2 側に生じる電圧 V2 がゲートソース間電位としての所定のレベルに対応したレベル以上を保つ期間 (図中期間 $t_2 \sim t_{d2}$) において、オン電圧を発生させ、これによってこの期間 $t_2 \sim t_{d2}$ が MOS-FET Q3 のオン期間 $DON1$ となる。

そして、同様にこの期間D0N1が終了する時点 t_{d2} から時点 t_3 までは、MOS-FET Q3のデットタイムであり、この期間 $t_{d2} \sim t_3$ ではQ3のボディダイオードDD3を介して整流電流が流れる。

これによって、MOS-FET Q3を介して流れる整流電流 I_3 としても、図示するように一次側直列共振電流 I_o のゼロクロスタイミングである時点 t_2 と時点 t_3 との間にわたって流れるようになり、一次側直列共振電流 I_o と連続して流れるものとなる。

【0073】

平滑コンデンサへの充電電流 I_c としては、これら整流電流 I_3 、 I_4 が合成された図のような波形により流れるものとなる。つまり、整流動作としては、二次巻線N2A、N2Bに生じる電圧が正/負となる各期間で平滑コンデンサ C_o に対して充電する、全波整流動作が得られていることがわかる。

そして、前述したように、この場合の二次巻線に生じる電圧 V_2 は、一次側直列共振電流 I_o が0レベルとなるのに応じ0レベルとなるから、電圧 V_2 は一次側直列共振電流と連続するものとなる。さらに、このように電圧 V_2 が連続することによって、上記説明のようにして整流電流 I_3 、整流電流 I_4 も連続することになり、従って、平滑コンデンサ C_o に対する充電電流 I_c も連続して流れることになる。

つまり、本実施の形態としては、重負荷とされてスイッチング周波数が低くなるようにして制御されているときにも、二次側整流電流としては連続モードが得られていることになる。なお、この場合、整流電流 I_3 、 I_4 としては 28Ap となっており、例えば従来の図9に示した整流電流 I_1 、 I_2 よりも低減している。これは、例えば、同等のスイッチング周波数に対応する周期内において、整流電流の導通期間が従来よりも拡大したことに依るものである。

【0074】

このようにして、重負荷の条件でも連続モードが得られているのは、これまでの説明から理解されるように、ギャップ長の設定により絶縁コンバータトランスPITの結合係数を0.8程度までに低下させてより疎結合の状態とし、また、例えば二次巻線の1ターンあたりの誘起電圧レベルが $2\text{V}/\text{T}$ 程度に低下するようにして一次巻線N1と二次巻線N2A（巻線部N2A1、N2A2）、二次巻線N2B（巻線部N2B1、N2B2）の巻数（ターン数）設定を行い、これにより、絶縁コンバータトランスPITのコアに生じる磁束密度を所要以下にまで低下させたことにより得られるものである。

【0075】

また、この図5において、この場合の整流電流 I_3 、 I_4 としては、図9に示した従来の整流電流 I_1 、 I_2 と比較してわかるように、逆方向電流が流されていないことがわかる。

つまり、従来において、整流電流 I_1 、 I_2 には 8Ap による逆方向電流が流れ、これが電力損失を生じさせていたが、本実施の形態ではこのような整流電流に生じていた逆方向電流が発生しないものである。

本実施の形態において、整流電流 I_3 、 I_4 にこのような逆方向電流が発生しないのは、先の図1に示したようにして、各整流電流経路にインダクタ L_{d1} 、 L_{d2} を挿入することによる。

つまり、このように整流電流経路に対してインダクタを挿入することによって、整流電流が流れた際に、このインダクタに逆起電力が発生するようになる。そして、このように逆起電力が発生することに伴って、MOSFET Q3、Q4のターンオフ時に生じるとされていた逆方向電流が抑圧されるようになるものである。

先にも述べたように、本実施の形態ではこれらインダクタ L_{d1} 、 L_{d2} として $0.6\mu\text{H}$ を設定し、これによって整流電流 I_3 、 I_4 における逆方向電流の発生を防止することが可能とされる。

【0076】

ここで、従来でも述べたように、同期整流回路は、低オン抵抗で低耐圧のMOS-FETを整流用素子として用いるために、整流用素子にダイオード素子を用いる場合よりも導通損を低減することができる。

しかしながら、二次側整流電流が不連続モードで流れる場合において、同期整流回路として巻線電圧検出方式を採用する場合、平滑コンデンサ C_o への充電電流が 0 レベルとなっても MOS-FET がオンを維持して逆方向電流が流れ、これが無効電力を生じていた。

この無効電力を解消しようとすれば、整流電流検出方式の同期整流回路を採用することになる。しかしながら、整流電流検出方式では、カレントトランス及びコンパレータを備える駆動回路系などが必要であり、回路構成が複雑で大規模化する。

【0077】

これに対して本実施の形態では、重負荷時においても二次側整流電流を連続モードとしていることで、電圧検出方式による同期整流回路であっても、上記のような電流不連続期間の無効電力を低減できる。さらに、この場合は、上述のように二次側の各整流電流経路に対してインダクタ L_{d1} 、 L_{d2} をそれぞれ挿入することにより、整流電流に逆方向電流が流れないようにして無効電力のさらなる低減を図っている。

このことから本実施の形態としては、同期整流回路として電圧検出方式による構成を採用することで、簡単な回路構成として回路規模の拡大を抑制し、さらにコストアップを避けるようにしていながら、なおかつ、電流不連続期間の無効電力による電力変換効率の低下の問題を解消していることになる。

【0078】

なお、この図 5 において、ゲートソース間電圧 V_{GS3} 、 V_{GS4} としては、それぞれ MOS-FET $Q3$ 、 $Q4$ をターンオフとするタイミングで、この場合は $-9V$ による負の電位が生じているが、これは、先に説明したようにして MOS-FET $Q3$ 、 $Q4$ の各ゲートと二次巻線との間に、それぞれ抵抗 R_{g1} 、 R_{g2} と並列にショットキーダイオード D_{g1} 、 D_{g2} を挿入していることによる。

このようにショットキーダイオード D_{g1} 、 D_{g2} を挿入することによつては、MOS-FET $Q3$ 、 $Q4$ のターンオフ時に、これら MOS-FET $Q3$ 、 $Q4$ のゲート入力容量 (C_{is}) の蓄積電荷を、これらショットキーダイオード D_{g1} 、 D_{g2} を介して引き抜くようにして流すことができる。

つまりこの場合、ゲート入力容量の電荷は、それぞれショットキーダイオード D_g (D_{g1} 、 D_{g2}) → 二次巻線 N_2 → 平滑コンデンサ C_o の経路により放電されることになる。そして、このように入力容量の電荷が放電されることにより、MOS-FET $Q3$ 、 $Q4$ におけるターンオフ時の電圧降下時間を減少させることができる。

このようにして、MOS-FET のターンオフ時の電圧降下時間を減少させることができれば、これら MOS-FET $Q3$ 、 $Q4$ を確実にオフとさせてより良好なスイッチング特性を得ることができる。

【0079】

また、図 6 には、図 1 に示す回路における軽負荷時 ($P_o = 25W$ 時) の動作が示されている。

図 1 に示す電源回路では、これまでの説明から理解されるように、二次側直流出力電圧 E_o の安定化のために、スイッチング周波数制御による定電圧制御を行う。この定電圧制御は、軽負荷の条件となって二次側直流出力電圧が上昇すると、スイッチング周波数を高くするようにして二次側直流出力電圧を低下させ、これにより安定化を図るように動作する。

このような軽負荷の状態では、図示するスイッチング素子 $Q2$ の両端電圧 V_1 に対して、二次側巻線電圧 V_2 はほぼ同じタイミングで得られるようになり、これに応じて、二次側の充電電流 I_c (整流電流 I_3 、 I_4) としても、図のように休止期間が無く平滑コンデンサ C_o に連続して充電されるようにして流れる。

このことから、図 1 に示した電源回路では、軽負荷時においても連続モードとなることが理解できる。

【0080】

続いて、図 7 には、これまでに説明した構成による図 1 に示す電源回路と、従来例である図 8 の電源回路との比較として、負荷電力変動に対する AC→DC 電力変換効率 ($\eta_{AC \rightarrow DC}$)

) の特性を示す。ここでは、図1の電源回路の特性を実線で示し、図8の電源回路の特性を破線で示す。

【0081】

この図7によると、AC→DC電力変換効率($\eta_{AC \rightarrow DC}$)は、図1に示す回路の方が図8に示す電源回路に対して、負荷電力 $P_o = 0W \sim 100W$ の範囲にわたって高くなっていることが分かる。図8に示す回路では、負荷電力 $P_o = 100W$ 時には $\eta_{AC \rightarrow DC} = 82\%$ 程度であるのに対して、図1に示す電源回路では、負荷電力 $P_o = 100W$ 時には $\eta_{AC \rightarrow DC} = 90.8\%$ と、約8.8%向上する結果が得られている。また、これに応じた交流入力電力としては、負荷電力 $P_o = 100W$ 時に10.9W低減する結果が得られた。

また、負荷電力 $P_o = 25W$ 時には、 $\eta_{AC \rightarrow DC}$ が約13%向上し、このとき交流入力電力は4.7W低減する結果が得られている。

【0082】

また、図7では、一点鎖線により、各整流電流経路に対してインダクタ L_d ($L_{d1} = L_{d2} = 0.6 \mu H$) を挿入しない場合のAC→DC電力変換効率を示している。この一点鎖線により示す特性と、実線により示す図1の回路の特性を比較してわかるように、この場合はインダクタ L_d を挿入した図1の回路の場合の方が、負荷電力 $P_o = 0W \sim 100W$ の範囲にわたって $\eta_{AC \rightarrow DC}$ が高くなっている。

このことから、絶縁コンバータトランスPITの漏洩インダクタンスを増加させて、重負荷時の不連続モードを排除したのみの構成とするよりも、インダクタ L_d を挿入した本例の方が無効電力のさらなる低減が図られていることがわかる。

【0083】

このような図7に示される電力変換効率の特性は、図8に示す一次側の構成に対して、二次側に整流電流検出方式の同期整流回路を採用した場合(図13参照)と同等となる。つまり、先にも述べたように、図13の整流電流検出方式を採用した場合のAC→DC電力変換効率は $\eta_{AC \rightarrow DC} = 90\%$ 程度であるのに対し、本例では $\eta_{AC \rightarrow DC} = 90.8\%$ と、ほぼ同等のAC→DC電力変換効率を得られるものである。

しかしながら先に説明したように、図1に示す電源回路では、同期整流回路の構成としては巻線電圧検出方式を採っていることで、回路構成はより簡略なものとすることができるものである。

【0084】

なお、本発明としては、これまでに説明した電源回路の構成に限定されるものではない。

例えば、本発明に基づいた巻線電圧検出方式の同期整流回路の細部の構成については適宜変更されてよい。また、例えば一次側スイッチングコンバータのスイッチング素子としては、IGBT(Insulated Gate Bipolar Transistor)など、他励式に使用可能な素子であれば、MOS-FET以外の素子が採用されて構わない。また、先に説明した各部品素子の定数なども、実際の条件等に応じて変更されて構わない。

また、本発明としては、自励式による電流共振形コンバータを備えて構成することも可能とされる。この場合には、スイッチング素子として例えばバイポーラトランジスタを選定することができる。さらには、4石のスイッチング素子をフルブリッジ結合した電流共振形コンバータにも適用できる。

また、商用交流電源を入力して直流入力電圧を得る整流回路としても、例えば倍電圧整流回路以外の構成とすることが考えられる。

さらに、実施の形態では、絶縁コンバータトランスPITの二次巻線を2つに分けて捲装するようにしたが、例えば先の図8に示したようにして二次巻線を1つのみ捲装する構成が採られてもよい。

但し、この際、二次巻線としての巻数が多くなれば、その分そこに生じる直流抵抗値も上昇するものである。従って、上記のように二次巻線を2つに分けて捲装する本例によれば、二次巻線を1つとする場合よりも直流抵抗を軽減でき、これによる電力損失の低減を図ることができる。

【図面の簡単な説明】

【0085】

【図1】本発明の実施の形態としてのスイッチング電源回路の構成例を示す回路図である。

【図2】実施の形態としての絶縁コンバータトランスの構造例を示す図である。

【図3】実施の形態としてのスイッチング電源回路における、二次側整流電流経路に挿入されるインダクタの構造を例示する図である。

【図4】実施の形態としてのスイッチング電源回路における、二次側整流電流経路に挿入されるインダクタの構造として、他の例を示す図である。

【図5】図1に示す電源回路の重負荷時の動作を示す波形図である。

【図6】図1に示す電源回路の軽負荷時の動作を示す波形図である。

【図7】図1に示す電源回路の負荷変動に対する、スイッチング周波数、一次側直列共振電流レベル、AC→DC電力変換効率の特性を示す図である。

【図8】従来としての電源回路の構成を示す回路図である。

【図9】図8に示す電源回路の重負荷時の動作を示す波形図である。

【図10】図8に示す電源回路として巻線電圧検出方式の同期整流回路を備えた場合の二次側の構成を示す回路図である。

【図11】図10に示す二次側の構成を採った場合の、重負荷時の動作を示す波形図である。

【図12】図10に示す二次側の構成を採った場合の、軽負荷時の動作を示す波形図である。

【図13】整流電流検出方式による同期整流回路の基本構成例を示す回路図である。

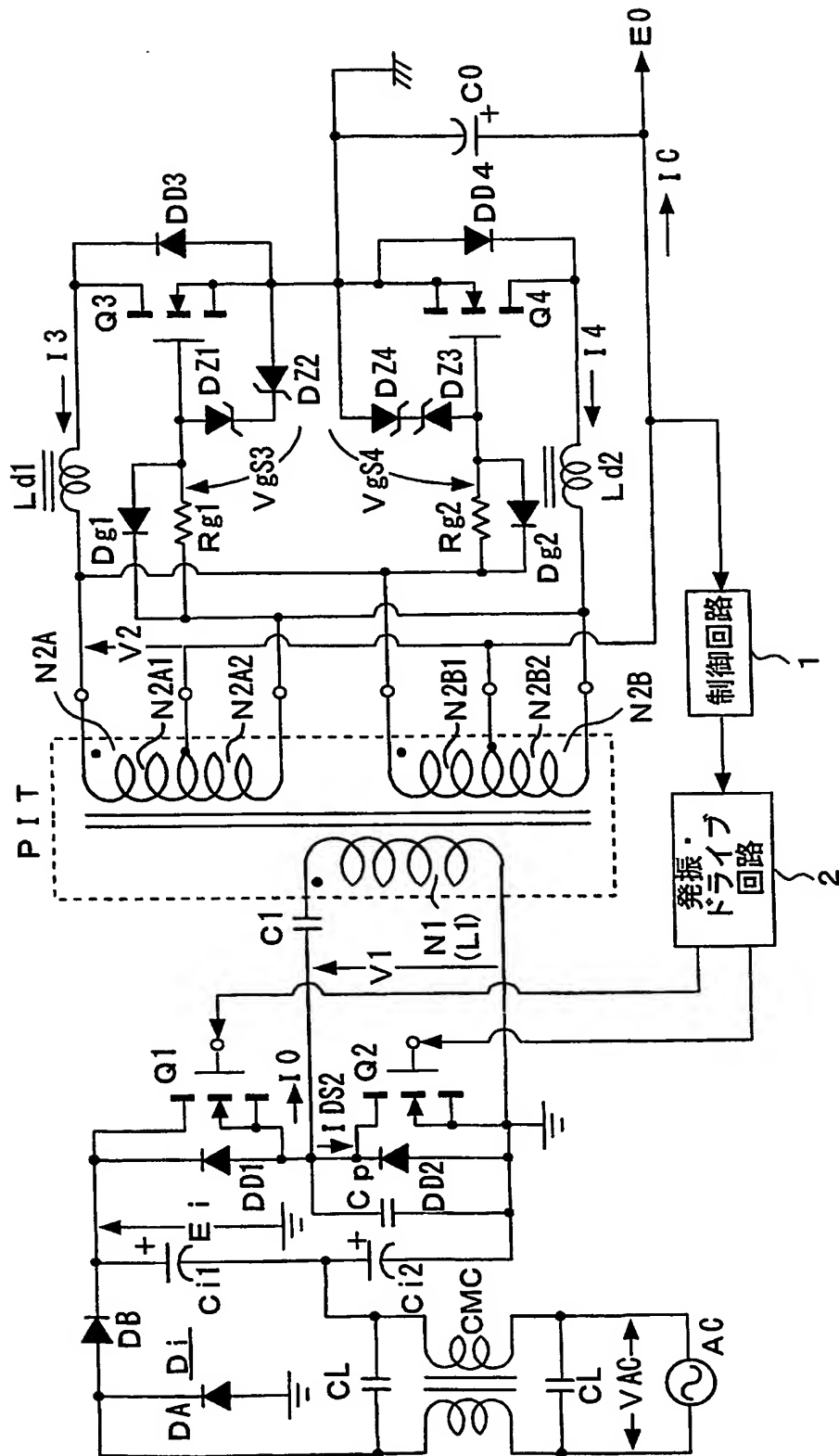
【図14】図13に示す同期整流回路の動作を示す波形図である。

【符号の説明】

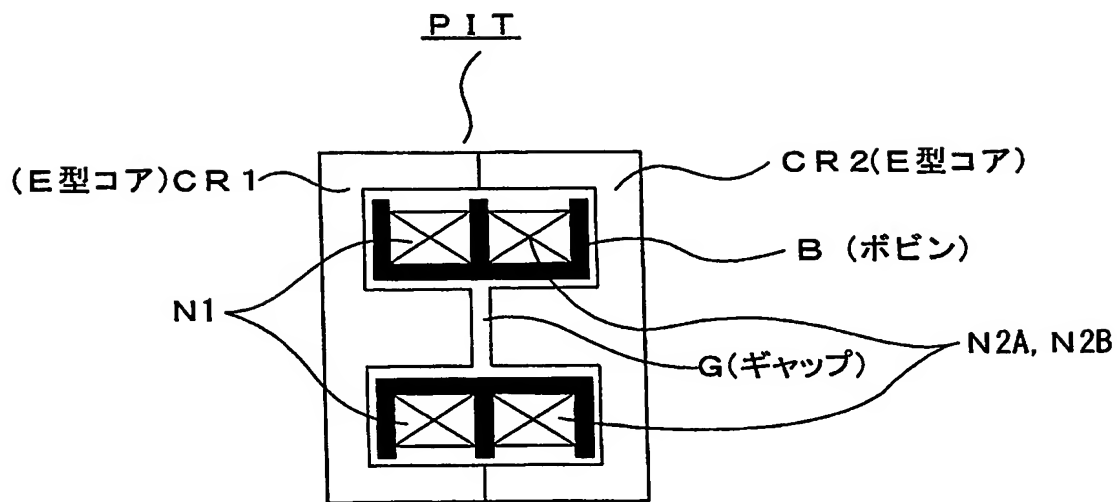
【0086】

1 制御回路、2 発振・ドライブ回路、D_i ブリッジ整流回路、C_i 平滑コンデンサ、Q₁, Q₂ スwitchング素子、DD₁, DD₂ ダンパーダイオード、C₁ 一次側直列共振コンデンサ、C_p 部分電圧共振コンデンサ、PIT 絶縁コンバータトランス、N₁ 一次巻線、N_{2A}, N_{2B} 二次巻線、N_{2A1}, N_{2A2}, N_{2B1}, N_{2B2} 巻線部、Q₃, Q₄ MOS-FET、DD₃, DD₄ ボディダイオード、R_{g1}, R_{g2} ゲート抵抗、D_{g1}, D_{g2} ショットキーダイオード、C_o (二次側) 平滑コンデンサ、L_{d1}, L_{d2} インダクタ

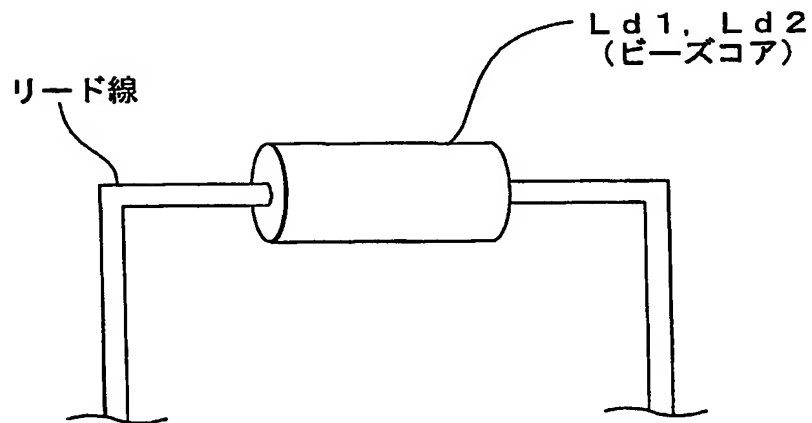
【書類名】 図面
【図 1】



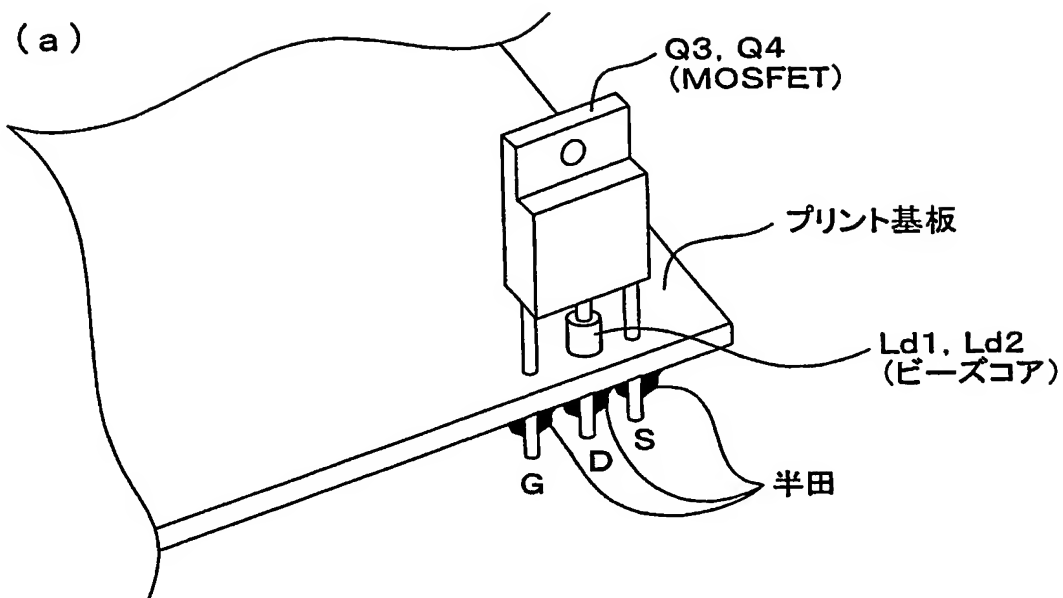
【図2】



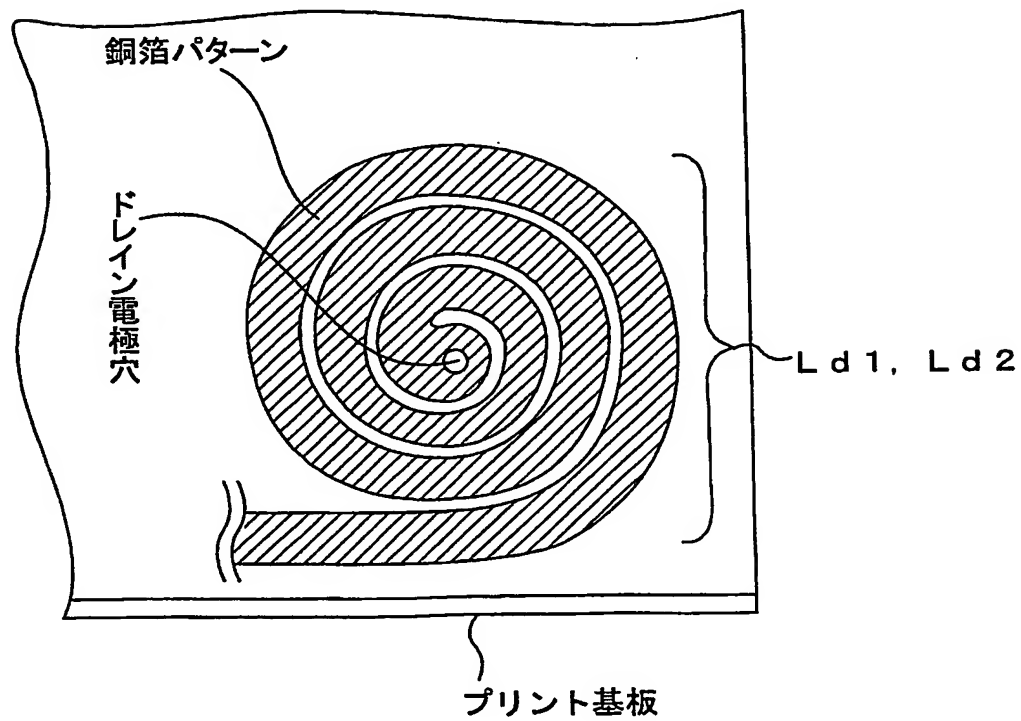
【図3】



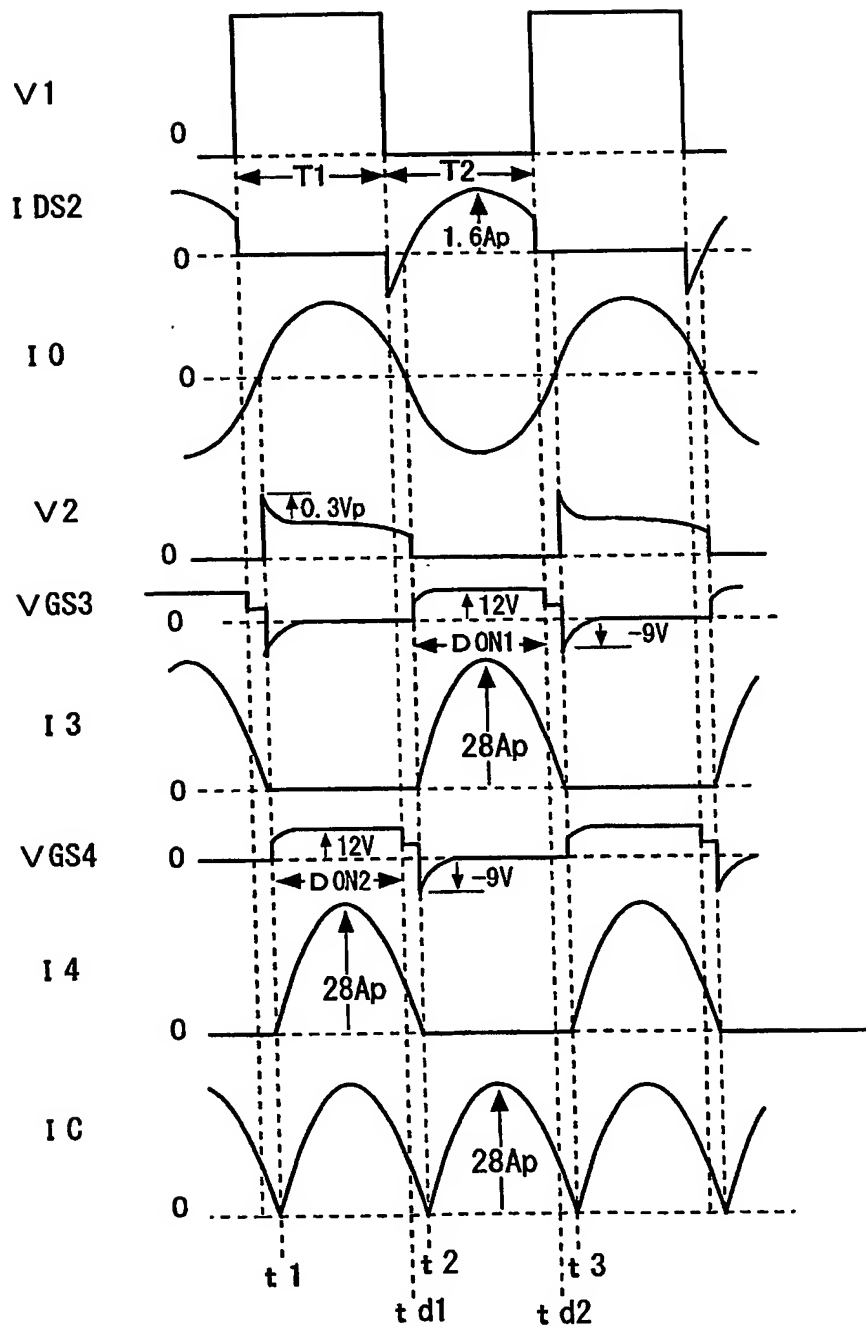
【図 4】



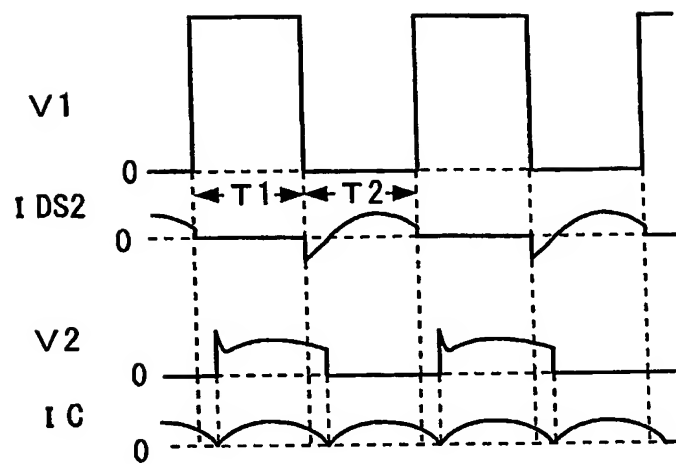
(b)



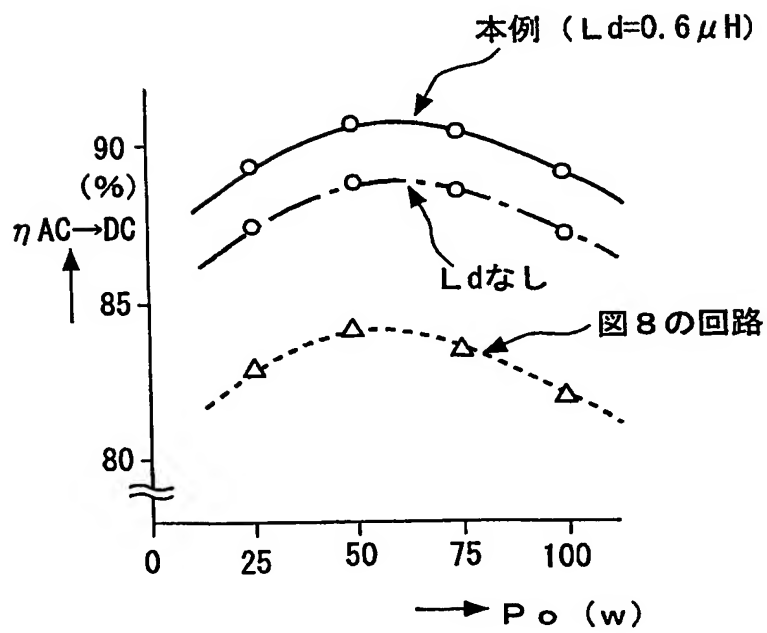
【図 5】



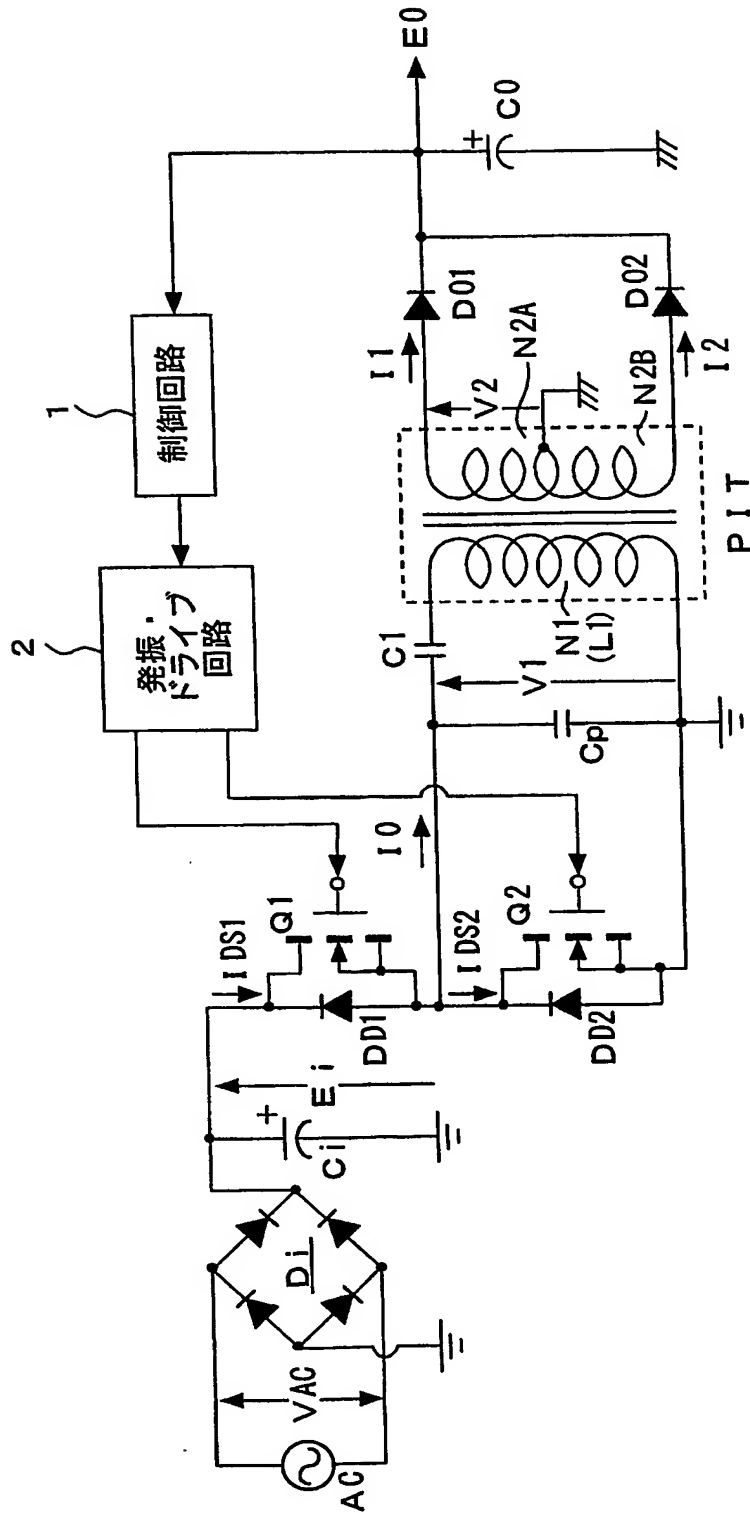
【図 6】



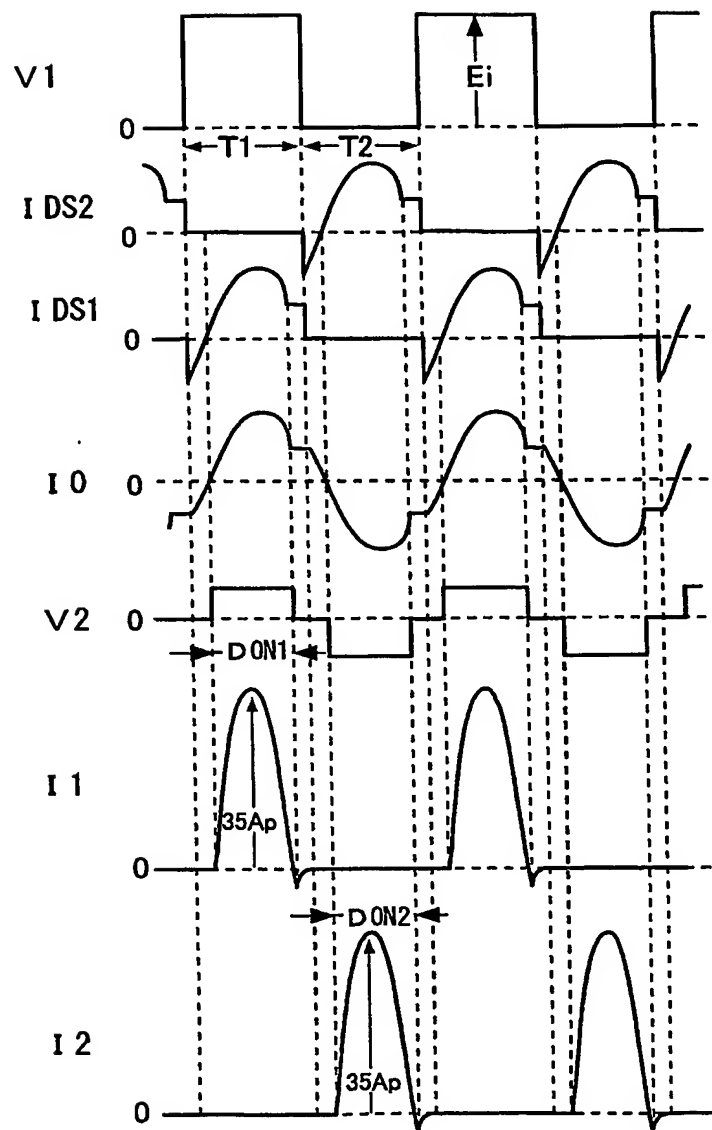
【図 7】



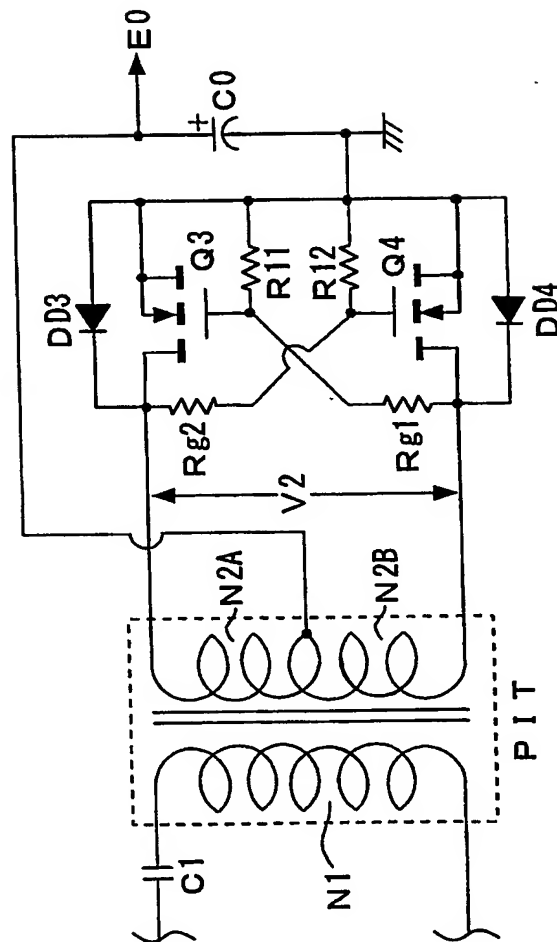
【図 8】



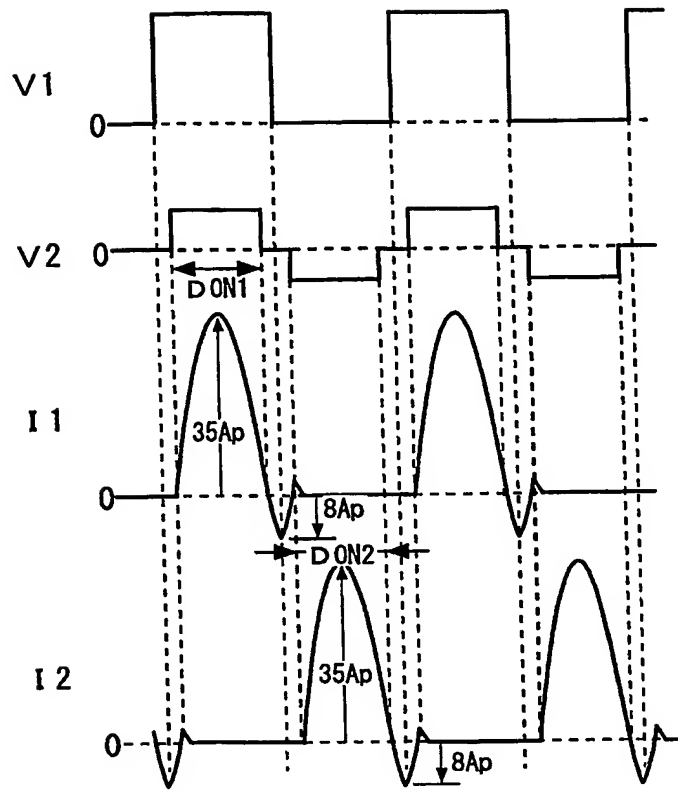
【図 9】



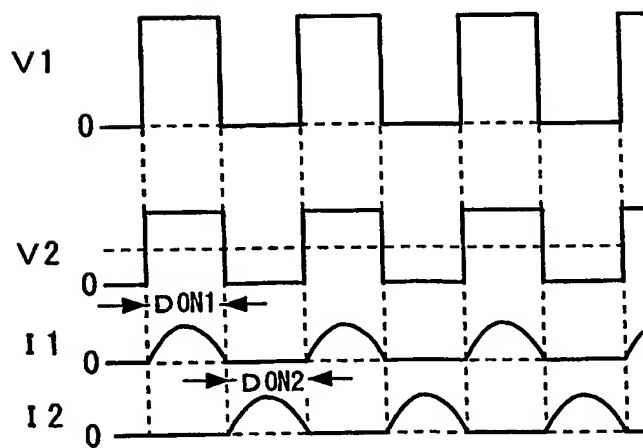
【図 10】



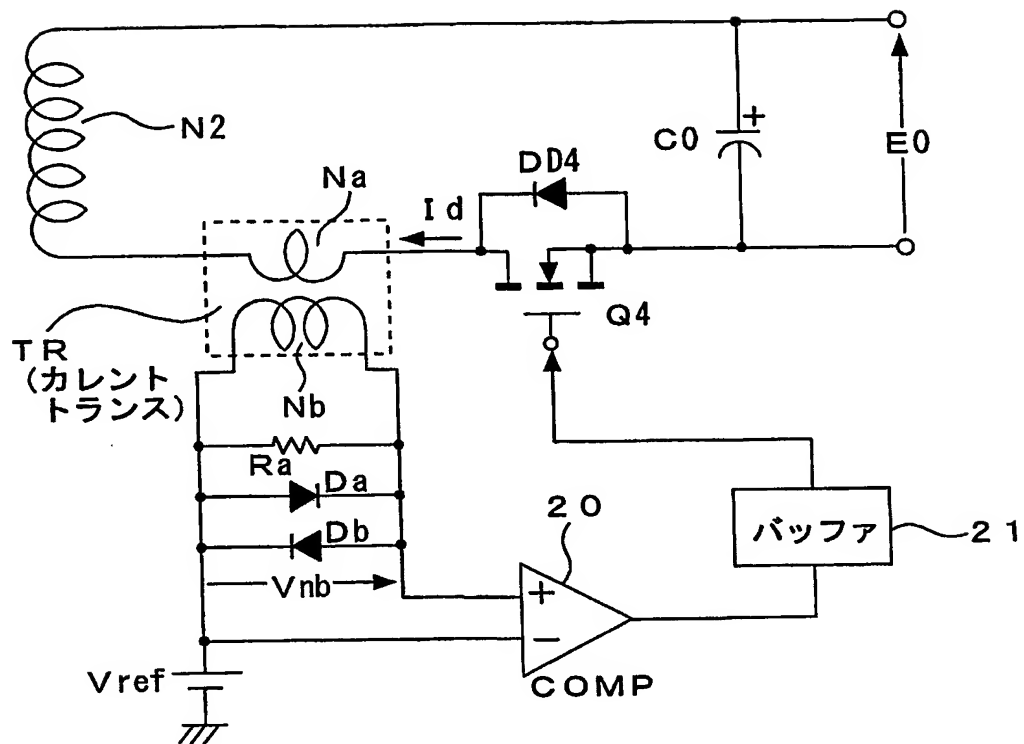
【図 1 1】



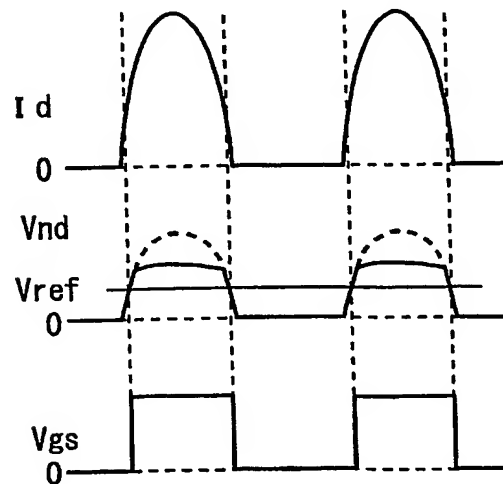
【図 1 2】



【図 13】



【図 14】



【書類名】 要約書

【要約】

【課題】 同期整流回路を備える複合共振形コンバータとして、高い電力変換効率を得ることと、回路の簡易化による回路規模の縮小、及び低コスト化を図ることとの両立を図る。

【解決手段】 複合共振形コンバータの二次側に巻線電圧検出方式の同期整流回路を備える。そして、絶縁コンバータトランス P I T のギャップ長を 1.5mm 程度として結合係数を 0.8 程度にまで低下させると共に、二次巻線の 1 ターン (T) あたりの誘起電圧レベルが 2V/T となるように一次巻線 N1、二次巻線 N2A, N2B のターン数を設定する。これにより、絶縁コンバータトランス P I T のコアの磁束密度が一定以下となることで、重負荷の条件でも二次側整流電流を連続モードとすることができる。さらに、この際、二次側の各整流電流経路に対してインダクタ L_d を挿入すれば、このインダクタの逆起電力により整流電流に生じる逆電流が抑圧され、無効電力のさらなる低減が図られる。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2003-297625
受付番号	50301378602
書類名	特許願
担当官	第三担当上席 0092
作成日	平成 15 年 8 月 27 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000002185
【住所又は居所】	東京都品川区北品川 6 丁目 7 番 35 号
【氏名又は名称】	ソニー株式会社

【代理人】

申請人

【識別番号】	100086841
【住所又は居所】	東京都中央区新川 1 丁目 27 番 8 号 新川大原ビル 6 階
【氏名又は名称】	脇 篤夫

【代理人】

【識別番号】	100114122
【住所又は居所】	東京都中央区新川 1 丁目 27 番 8 号 新川大原ビル 6 階 脇特許事務所
【氏名又は名称】	鈴木 伸夫

特願 2003-297625

出願人履歴情報

識別番号

[000002185]

1. 変更年月日

1990年 8月30日

[変更理由]

新規登録

住所

東京都品川区北品川6丁目7番35号

氏名

ソニー株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☒ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.